

CERTIFIED COPY OF

PRIORITY DOCUMENT

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

1c542 U.S. PTO
09/537669



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日

Date of Application:

1999年 3月30日

出願番号

Application Number:

平成11年特許願第089364号

出願人

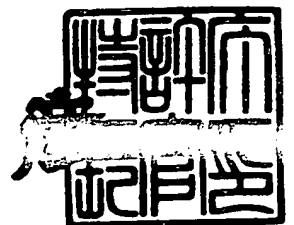
Applicant(s):

富士フイルムマイクロデバイス株式会社
富士写真フイルム株式会社

1999年10月15日

特許庁長官

Commissioner
Patent Office



出証番号 出証特平11-3070841

【書類名】 特許願

【整理番号】 DL2310

【提出日】 平成11年 3月30日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 1/40

【発明の名称】 画像処理装置及び処理方法

【請求項の数】 7

【発明者】

 【住所又は居所】 宮城県黒川郡大和町松坂平 1 丁目 6 番地 富士フイルム
マイクロデバイス株式会社内

 【氏名】 山本 健喜

【特許出願人】

 【識別番号】 391051588

 【氏名又は名称】 富士フイルムマイクロデバイス株式会社

 【代表者】 加藤 典彦

【特許出願人】

 【識別番号】 000005201

 【氏名又は名称】 富士写真フイルム株式会社

 【代表者】 宗雪 雅幸

【代理人】

 【識別番号】 100091340

 【弁理士】

 【氏名又は名称】 高橋 敬四郎

 【電話番号】 03-3832-8095

【選任した代理人】

 【識別番号】 100105887

 【弁理士】

 【氏名又は名称】 来山 幹雄

 【電話番号】 03-3832-8095

【手数料の表示】

【予納台帳番号】 009852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9502507

【包括委任状番号】 9804706

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置及び処理方法

【特許請求の範囲】

【請求項 1】 イメージセンサからの画像データを処理する画像処理装置であって、

1 フレーム分の画像データを格納する第 1 の領域と、該イメージセンサの欠陥画素の位置情報を格納する第 2 の領域とを有する書き換え可能なメモリと、

該画像データの前記メモリへの書き込みと、前記メモリからの画像データの読み出しとを制御する制御手段と、

前記イメージセンサから順次転送される画像データのデータ数をカウントするカウンタと、

前記イメージセンサから順次転送される各画素の画像データを現在転送されてきた画素の画像データ以外の画像データに基づいて補正処理して出力する補正回路とを有し、

前記制御手段は、前記カウンタのカウント数が前記メモリの前記第 2 の領域中の欠陥画素の位置情報に対応する数に一致した場合に、前記メモリの前記第 1 の領域中の前記欠陥画素の格納位置に前記補正回路により補正された画像データを書き込み、該カウンタ数が前記欠陥画素の位置情報に対応する数に一致しない場合には、前記イメージセンサからの画像データを前記第 1 の領域に格納する画像処理装置。

【請求項 2】 前記メモリは、ロウアドレスとカラムアドレスにより特定される DRAM であって、前記第 1 の領域は画像データの各ライン分のデータを DRAM の対応するロウアドレスに格納し、前記第 2 の領域は画像データの該各ラインに対応する欠陥画素の位置情報を前記ロウアドレスと同一のロウアドレスに格納している請求項 1 記載の画像処理装置。

【請求項 3】 前記メモリの前記第 2 の領域は、欠陥画素が単独か、あるいは連続欠陥画素の連続数を示す情報と、各ライン中の欠陥画素の位置を示す情報とを格納している請求項 1 又は 2 記載の画像処理装置。

【請求項 4】 前記補正回路は、対象画素の前後の画素データの平均値を演

算して出力する請求項 1 ～ 3 のいずれかに記載の画像処理装置。

【請求項 5】 イメージセンサからの画像データを処理する画像処理方法であって、

前記イメージセンサの欠陥画素位置情報が記憶されたメモリから、前記イメージセンサの 1 ライン分の欠陥画素位置情報を該メモリより取り込む段階と、

前記イメージセンサから、画素データを順次取り込む段階と、

前記画素データを取り込む際に画素データの数をカウントする段階と、

前記イメージセンサから順次転送される画素データを現在転送されてきた画素データ以外の画像データに基づいて補正処理する段階と、

前記カウント数が前記欠陥画素位置情報に対応する数に一致した場合に、前記メモリの前記欠陥画素の画素データが格納されるべき位置に、前記補正処理した補正データを書き込み、該カウント数が前記欠陥画素位置情報に対応する数に一致しない場合には、前記イメージセンサからの補正処理しない画素データを前記メモリの該当格納位置に書き込む段階と

を有する画像処理方法。

【請求項 6】 前記メモリは、ロウアドレスとカラムアドレスにより特定される DRAM であって、各ラインの欠陥画素位置情報を該各ラインに対応するロウアドレスに格納し、

前記書き込む段階は、各ラインの欠陥画素位置情報が格納されるロウアドレスと同一のロウアドレスに、対応する各ラインの画素データ又は補正データを書き込む請求項 5 記載の画像処理方法。

【請求項 7】 前記補正処理は、対象画素の前後の画素データの平均値を演算して出力する請求項 5 又は 6 記載の画像処理方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、イメージセンサから出力された画像データを処理する技術に関し、特にイメージセンサの画素欠陥を補償するデジタルデータ処理を行う画像処理装置と画像処理方法とに関する。

【0 0 0 2】

【従来の技術】

図5に従来の画像処理装置の構成を示す。画像処理装置としては、例えばデジタルカメラを含む。イメージセンサ（CCD）10から出力された画像データは1ライン分毎にDRAM11に順次書きこまれて行く。そして、全ラインの画素データすなわち、1フレーム分の画像データが一旦すべてDRAM11に書き込まれる。

【0 0 0 3】

DRAM11に一旦書きこまれた1フレーム分の画像データは、ホストCPU12の制御の下で読み出されて、別の記録媒体に書き込まれるか、表示装置に出力されるか、あるいはさらに別のデータ処理を施されて出力されたりする。

【0 0 0 4】

半導体工場で製造されるイメージセンサ10の生産歩留まりを高めるために、数十万あるいは百万単位の画素の一部に、ある程度の数の欠陥画素が混在していたとしても、製品としては許容される。しかし、画素の欠陥は画質を低下させるので、デジタルデータ処理技術により欠陥画素のデータを補正することが望ましい。

【0 0 0 5】

イメージセンサ上の欠陥画素の位置はあらかじめ製造時の検査により判っている。欠陥画素の位置情報はイメージセンサの供給メーカから提供されて、外部メモリ装置13に保存されている。外部メモリ装置13からホストCPU12に欠陥画素の位置情報が送られる。つまり、以下のような手順によりイメージセンサの欠陥画素のデータ補正処理が実行される。

【0 0 0 6】

イメージセンサ10からの1フレーム分の画像データは、欠陥画素の画素データも含め一旦全部がDRAM11に書き込まれる。次に、外部メモリ装置13から最初の1ライン分の欠陥画素の位置情報を取り込む。さらに、欠陥画素位置情報により指定された欠陥画素のデータを補正する処理をする。この欠陥データ補正を欠陥画素のあるラインすべてに対してライン毎に行う。

【 0 0 0 7 】

図 4 を参照して欠陥画素のデータ補正の例をさらに詳細に説明する。図 4 (A) は白黒画像データの場合であり、白黒イメージセンサの 1 ラインの一部の画素配列を模式的に示す。今、画素 2 1 (×印) が欠陥画素であったとする。ホスト CPU 1 2 は、欠陥画素位置情報に基づき画素 2 1 の一つ前の正常な画素 2 0 のデータと、一つ後の正常な画素 2 2 のデータとを DRAM 1 1 から読み出す。そして、二つのデータの平均値を計算する。そして、DRAM 1 1 の欠陥画素 2 1 のアドレスの欠陥データを、この平均値の補正データに書き換える。このデータ補正処理を各ライン毎に、欠陥画素のあるラインすべてについて実行して、DRAM 1 1 のデータに対して欠陥補正を行う。

【 0 0 0 8 】

図 4 (B) はカラーイメージセンサの 2 ライン分の一部の画素配列を模式的に示す。この画素配列はベイヤ配列と呼ばれる。ベイヤ配列は、R (赤) 画素と、G (緑) 画素とが交互に並ぶラインと、B (青) 画素と G (緑) 画素とが交互にならぶラインとが縦方向に交互に配列している。

【 0 0 0 9 】

今、注目しているライン n の R 画素 3 1 (×印) が欠陥画素であったとする。ホスト CPU 1 2 は、欠陥位置情報に基づき R 画素 3 1 の前の一番近い正常な R 画素 3 0 のデータと、後の一番近い正常な R 画素 3 2 のデータとを DRAM 1 1 から読み出す。そして、二つのデータの平均値を計算する。そして、DRAM 1 1 の R 画素 3 1 のアドレスの欠陥データを、この平均値の補正データに書き換える。B 画素及び G 画素の欠陥データも同様の手順で補正する。このようなデータ補正処理を各ライン毎に欠陥画素のあるラインすべてについて実行して、DRAM 1 1 のデータに対して欠陥補正を行う。

【 0 0 1 0 】

欠陥補正の済んだ 1 フレーム分の画像データは DRAM 1 1 から読み出されて次の処理、すなわち他の記録媒体に書きこまれるか、表示装置に出力されたり、あるいはさらに別のデータ処理を施されたりする。

【 0 0 1 1 】

【発明が解決しようとする課題】

上述した従来の画像処理装置では、一旦 D R A M 1 1 にイメージセンサからの 1 フレーム分の画像データを書きこんだ後に欠陥画素の補正処理を行う。D R A M 1 1 からの欠陥画素の近隣正常画素のデータ読み出しと、補正演算処理と、D R A M のデータ書き換えという 3 段階の一連の動作に 1 0 クロック分程度の時間を要していた。

【0 0 1 2】

この処理を欠陥画素の数だけ繰り返すので、欠陥数が多い場合には欠陥画素すべての補正を終えて D R A M に補正後のデータを書き込むまでに相当な時間を必要としていた。したがって、欠陥画素のあるイメージセンサで撮影された 1 フレーム分の画像データを補正して最終的に外部へ出力するまでにはかなりな時間を要し、撮影した画像が見られるまでの待ち時間が長かった。また、補正時間が長いことにより、1 秒当たり 3 0 フレームのフレームレートを有する動画の補正処理はできなかった。

【0 0 1 3】

本発明の目的は、簡単な回路構成で高速に欠陥画素のデータ補正を行うことのできる画像処理装置又はその方法を提供することである。

【0 0 1 4】

【課題を解決するための手段】

本発明の一観点によれば、イメージセンサからの画像データを処理する画像処理装置であって、1 フレーム分の画像データを格納する第 1 の領域と、該イメージセンサの欠陥画素の位置情報を格納する第 2 の領域とを有する書き換え可能なメモリと、該画像データの前記メモリへの書き込みと、前記メモリからの画像データの読み出しとを制御する制御手段と、前記イメージセンサから順次転送される画像データのデータ数をカウントするカウンタと、前記イメージセンサから順次転送される各画素の画像データを現在転送されてきた画素の画像データ以外の画像データに基づいて補正処理して出力する補正回路とを有し、前記制御手段は、前記カウンタのカウント数が前記メモリの前記第 2 の領域中の欠陥画素の位置情報に対応する数に一致した場合に、前記メモリの前記第 1 の領域中の前記欠陥

画素の格納位置に前記補正回路により補正された画像データを書き込み、該カウント数が前記欠陥画素の位置情報に対応する数に一致しない場合には、前記イメージセンサからの画像データを前記第1の領域に格納する画像処理装置が提供される。

【0015】

本発明の他の観点によれば、イメージセンサからの画像データを処理する画像処理方法であって、前記イメージセンサの欠陥画素位置情報が記憶されたメモリから、前記イメージセンサの1ライン分の欠陥画素位置情報を該メモリより取り込む段階と、前記イメージセンサから、画素データを順次取り込む段階と、前記画素データを取り込む際に画素データの数をカウントする段階と、前記イメージセンサから順次転送される画素データを現在転送されてきた画素データ以外の画像データに基づいて補正処理する段階と、前記カウント数が前記欠陥画素位置情報に対応する数に一致した場合に、前記メモリの前記欠陥画素の画素データが格納されるべき位置に、前記補正処理した補正データを書き込み、該カウント数が前記欠陥画素位置情報に対応する数に一致しない場合には、前記イメージセンサからの補正処理しない画素データを前記メモリの該当格納位置に書き込む段階とを有する画像処理方法が提供される。

【0016】

メモリにイメージセンサの画像データを1フレーム分一旦全部書きこんだ後に、そのメモリから画像データを読み出し欠陥画素のデータをすべて補正して、メモリの欠陥画素データを補正データで書きなおしていた従来の処理方式とは異なり、本発明においては、イメージセンサから画素データを取り込み、その時点で欠陥画素のデータ補正処理を並行して行い、正常画素の画素データ又は欠陥画素を補正したデータをメモリに書きこんで行くので、高速に画像処理を行うことができる。

【0017】

【発明の実施の形態】

図1は、本発明の実施例による画像処理装置の構成を示すブロック図であり、図2は、図1に示す装置による欠陥画素のデータ補正処理を含む画像処理方法の

手順を示すフローチャートである。以下、図面を参照しながら、実施例の装置の動作を説明する。

【0018】

図1 (A) において、1はイメージセンサ (CCD) 10から例えば12. 27MHzのクロック信号に従ってシリアル転送される1フレーム分の画像データのデータ数をカウントするカウンタであり、2は欠陥画素データの補正回路であり、3は画像データの遅延装置であり、4は少なくとも1フレーム分の画像データと欠陥画素情報を格納するDRAMであり、5は以上の各要素を制御するホストCPUであり、6はバスラインであり、13はイメージセンサの供給メーカより提供されたイメージセンサ10の欠陥画素情報を格納する外部メモリ装置である。

【0019】

DRAM4のメモリ領域は、1フレーム分の画像データを格納する画像データ領域4aと、欠陥画素情報を格納する欠陥情報領域4bとからなる。欠陥情報領域4bには、予め外部メモリ装置13からイメージセンサ10の欠陥画素情報が供給され、書きこまれている。

【0020】

図1 (B) に、DRAM4のメモリ領域の構造を模式的に示す。DRAM4は、ロウアドレスRAとカラムアドレスCAにより特定される。画像データ領域4aにはイメージセンサ10の各ラインの画像データが同一ロウアドレスRAの領域L1~Ln (nはライン数) に格納され、画像データの各ラインに対応する欠陥画素情報も同一ロウアドレスの領域D1~Dnに格納されている。例えば、第1ラインの画素データは、第1のロウアドレスの領域L1に格納され、第1ライン内の欠陥画素の情報は同じ第1のロウアドレスの領域D1に格納される。

【0021】

図1 (C) は、欠陥画素情報の領域Dnのフォーマットを示す。上位4ビットのフラグ51が0を示す場合は欠陥がその第nラインで単独画素の欠陥であることを表し、フラグが1を示す場合は欠陥がその第nラインで連続する2個の画素であることを表し、フラグが2を示す場合は欠陥がその第nラインで連続する3

個の画素であることを表し、フラグが3を示す場合は欠陥がその第nラインで連続する4個の画素であることを表す。下位12ビットの欠陥画素の位置情報52は、欠陥画素のライン上の位置を示し、連続して欠陥がある場合には、先頭の欠陥画素の位置を示す。

【0022】

DRAM4は、例えば1つのアドレスに16ビットのデータを格納することができる。領域Dnの各々は、図1(C)に示す16ビットの欠陥画素情報を例えば4組有する。但し、この数値はあくまで一例であって、本実施例をこれらの数値に限定する意図はない。なお、そのラインに欠陥画素が無い場合を表す場合には、下位12ビットの位置情報52をすべて1にする。

【0023】

この実施例のフォーマットを使用すれば、イメージセンサの画像サイズが例えば、VGA（水平方向640画素×480ライン）の場合には、最大で4連続欠陥×4組×480ラインで計7680個の欠陥位置情報を記録でき、その欠陥画素のデータを補正することができる。

【0024】

図2を参照して本発明の実施例による画像処理の手順を説明する。まず、イメージセンサ10からの最初の第1ラインの画像データの取り込みを開始する前に、ステップ40において、その第1ラインの欠陥画素データをDRAM4の欠陥画素情報の領域4bから読み出す。読み出した情報はカウンタ1に与えられる。

【0025】

次に、ステップ41において、イメージセンサ10からの画素データの取り込みを開始する。そのデータ取り込みの間に、カウンタ1は取り込み中のデータの計数を行う。さらに画像データ取り込みと並行して、補正回路3において補正データの作成(演算)を行う。補正データは欠陥の有る無しに関わらず、すべての画素データに対して行う。補正データの作成(演算)は、図4を参照して説明した方法と同様である。但し、補正データの作成は、図5の従来装置では、ホストCPU12が行っていたものを、本実施例では、個別の補正回路2が行う。

【0026】

図3に白黒画像データの場合の補正回路2の一例を示す。第1ラインの m 番目(m は任意の正の整数)の画素のための補正データを作成する場合は、加算器にイメージセンサからの $m-1$ 番目の画素データ(8ビット)と $m+1$ 番目(8ビット)の画素データとを入力し、その9ビットの出力のうちの上位8ビットを取り出す。その上位8ビットの値が二つの入力データの平均値となり、補正データとして使用される。カラー画像データの場合も基本的に同様である。なお、補正データの作成方法は、この例の方法以外にも公知の別の方法が使用できるであろう。

【0027】

次にステップ42でカウント値が欠陥画素情報4bの欠陥位置情報に対応する値と一致した場合には、ステップ43において、ステップ41で作成した補正データをDRAM4のデータ領域4aの欠陥位置に該当するアドレスに書きこむ。一方、ステップ42でカウント値が欠陥画素情報4bの欠陥位置情報に対応する値と一致しなかった場合には、ステップ44において、イメージセンサ10から遅延回路3を通して転送された画像データをそのままDRAM4のデータ領域4aの該当するアドレスに書きこむ。

【0028】

次に、ステップ47において、当該ライン内の全ての画素データの処理が終了したか否かをチェックする。終了していない場合には、ステップ41に戻り、次の画素データの処理を繰り返す。当該ライン内の全ての画素データの処理が終了したときには、ステップ45へ進む。

【0029】

ステップ45において、全ラインのデータ書き込みが終了したかどうかを判定し、終了していない場合には、次の第2番目のラインを指定して処理を行うためにステップ40に戻り、それ以降のステップを繰り返す。そして、DRAM4に1フレームの全ラインの画像データの書き込みが終了するまで、上記の処理が繰り返される。

【0030】

補正データも含めすべての画像データがDRAM4に書きこまれると、ステッ

ブ 46 において、画像データは D R A M 4 から読み出され、必要に応じてさらに処理が加えられ、表示装置に供給される。

【 0 0 3 1 】

イメージセンサ 10 から受け取る動画の画像データのクロックは、例えば 12 . 27 M H z である。表示装置へ供給する動画の画像データのクロックも、例えば 12 . 27 M H z である。本実施例によれば、イメージセンサ 10 から受け取った動画の画像データを欠陥補正して、リアルタイムで 30 フレーム／秒の動画を表示装置に表示させることができる。

【 0 0 3 2 】

なお、D R A M 4 からのデータ読出しの時間がデータの転送レートに比べてかなり速い場合には、ステップ 43 と 44 のデータ書き込みが終わる度に、データを読み出して出力してもよいであろう。

【 0 0 3 3 】

1 ラインの端の画素が欠陥画素の場合には、その画素に隣接するデータと同じ画素データを使用することにより、補正を行うことができる。1 ライン内で欠陥画素が連続している場合には、垂直方向に補間を行うことにより、補正を行ってもよい。重み付け平均を用いてもよい。

【 0 0 3 4 】

本実施例によれば、メモリに欠陥画素情報を格納する領域を設けて、イメージセンサから画素データを取り込む度に、その時点でデータ補正処理を並行して行い、欠陥画素情報を基に画像データ又は補正データのいずれかを選択してメモリに書きこんで行くので、1 ライン毎に実質的にリアルタイムの画像処理ができる。欠陥画素のあるイメージセンサで撮影した画像でも、欠陥補正された映像が高速に再生可能で、動画も実質的にリアルタイムで再生可能となる。カウンタと補正回路の簡単な構成で欠陥画素の補正が可能となる。

【 0 0 3 5 】

以上説明した実施例は単なる例示であって、当業者であれば、本願明細書の開示に基づき、様々な変形や応用が可能であろう。

【 0 0 3 6 】

【発明の効果】

以上説明したように、本発明によれば、実質的にリアルタイムの画像処理ができるので、欠陥画素のあるイメージセンサで撮影した画像でも、欠陥補正された映像が高速に再生可能で、動画も実質的にリアルタイムで再生可能となる。また、簡単な構成で欠陥画素の補正が可能となる。

【図面の簡単な説明】

【図 1】

本発明の実施例による画像処理装置のブロック図である。

【図 2】

本発明の実施例による画像処理方法のフローチャートである。

【図 3】

本発明の実施例による画像処理装置の欠陥補正回路の構成を示すブロック図である。

【図 4】

欠陥画素のデータ補正のやり方を説明するための画素の配列図である。

【図 5】

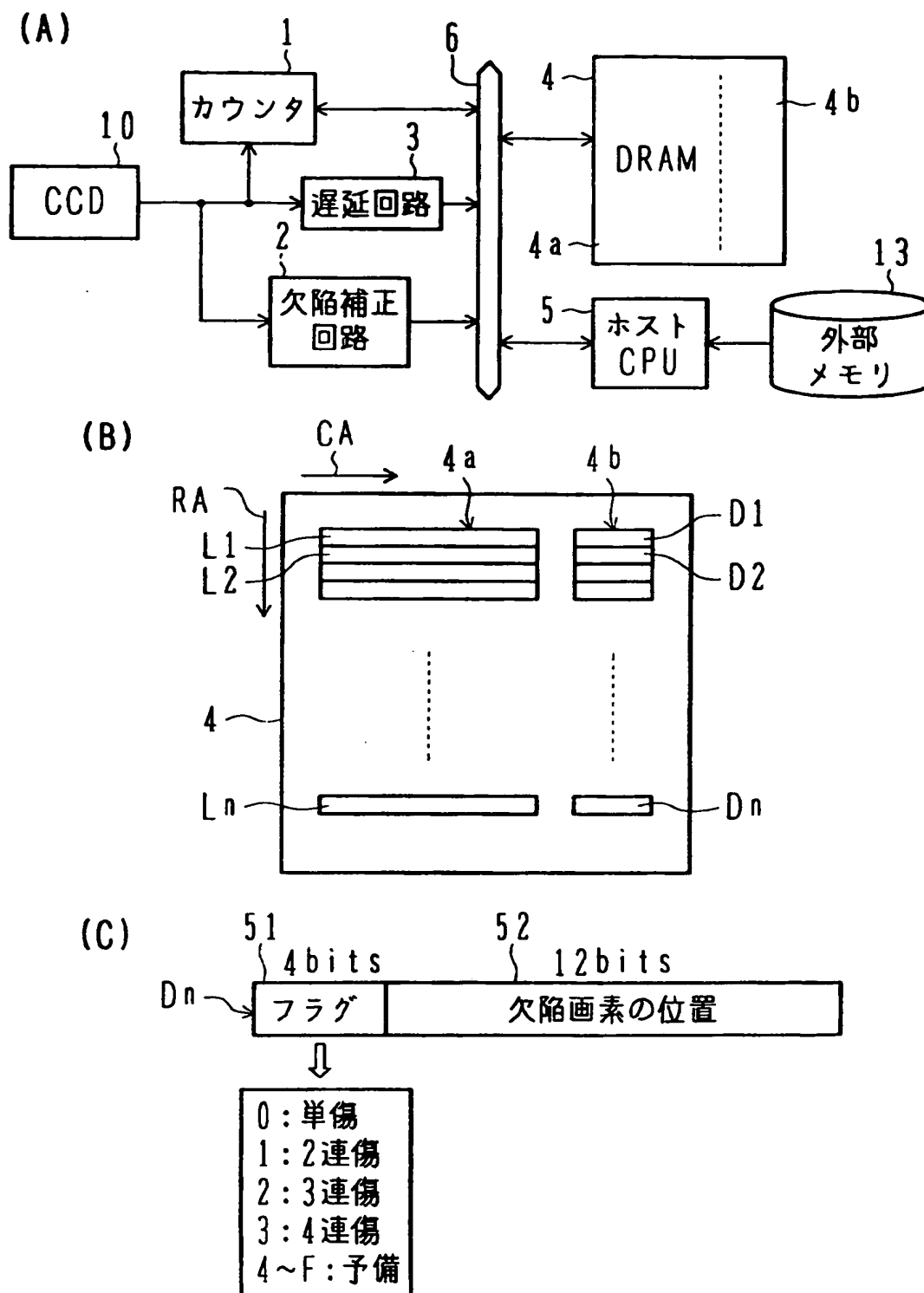
従来の技術による画像処理装置のブロック図である。

【符号の説明】

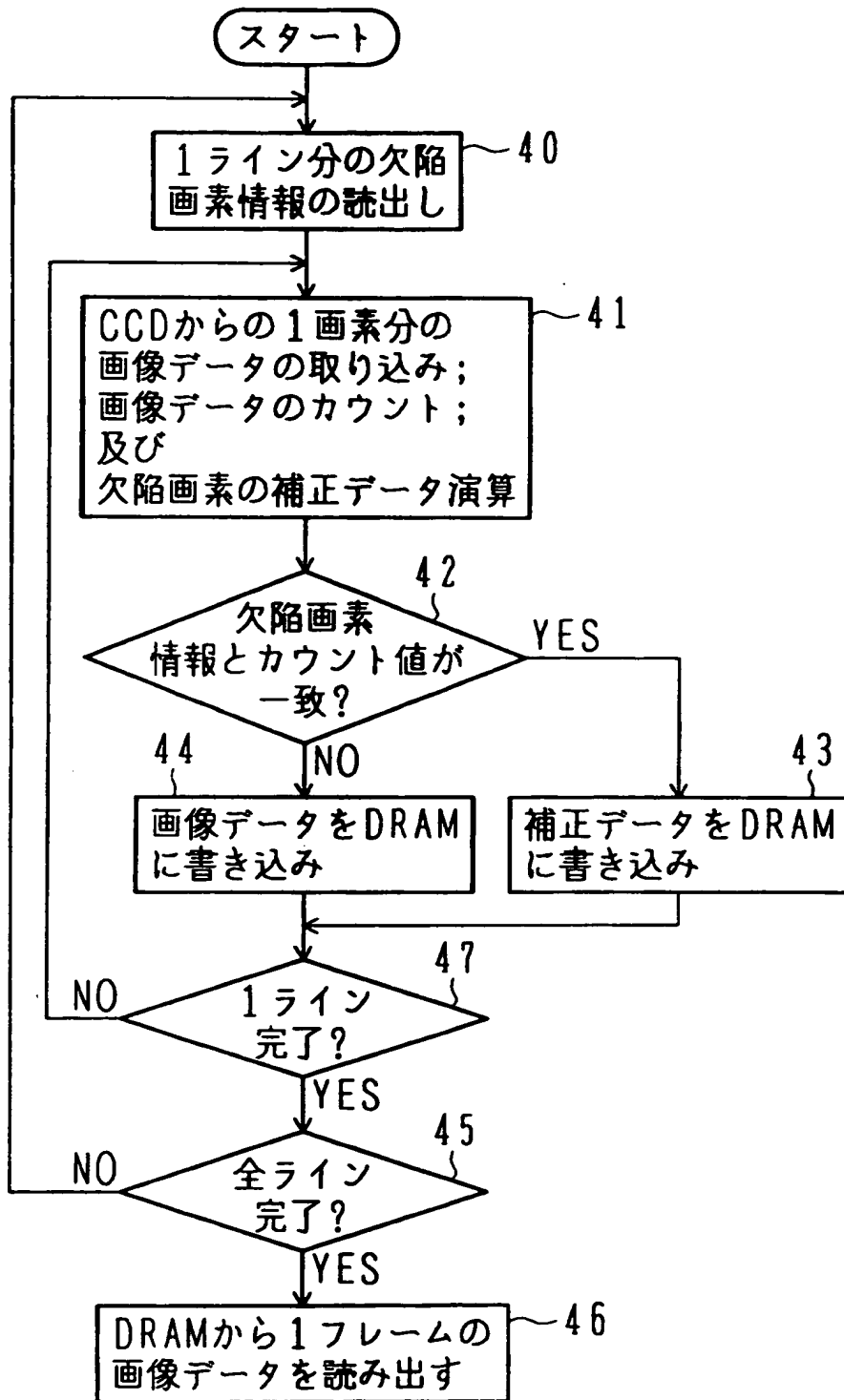
- 1 カウンタ
- 2 欠陥補正回路
- 3 遅延回路
- 4 DRAM
- 5 ホストCPU
- 6 バスライン
- 10 CCD
- 13 外部メモリ装置
- 51 フラグ
- 52 欠陥画素位置情報
- 61 加算器

【書類名】 図面

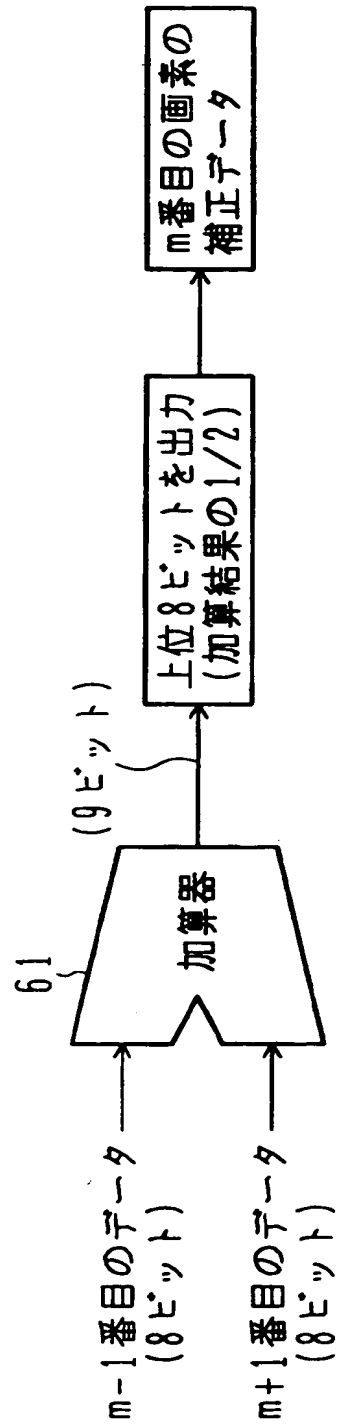
【図 1】



【図 2】

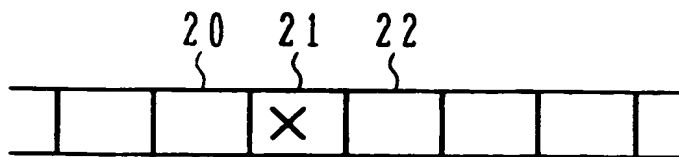


【図 3】

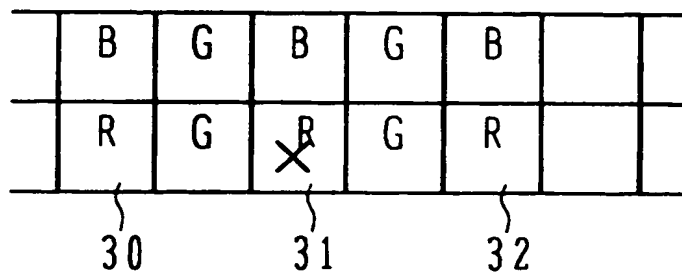


【図 4】

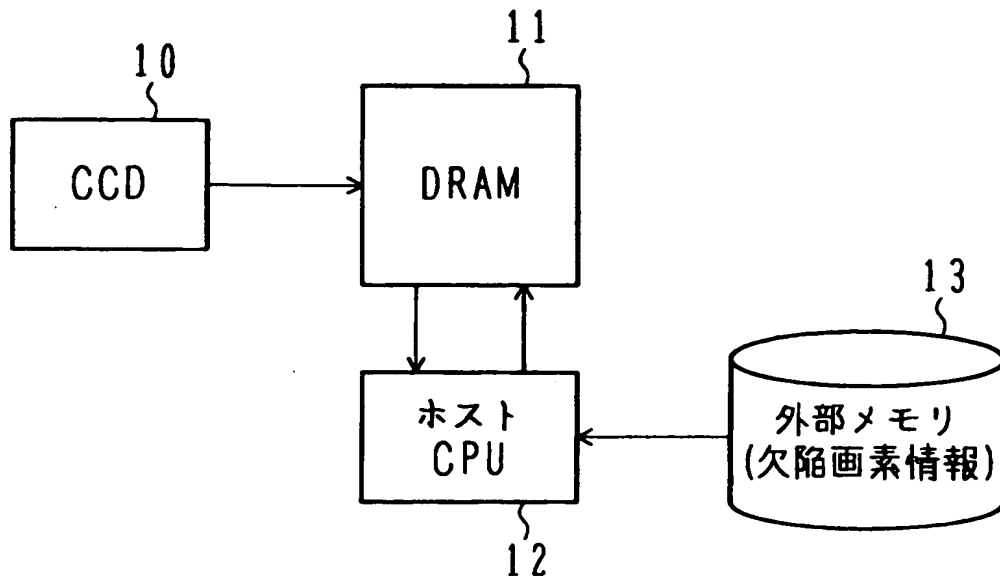
(A)



(B)



【図 5】



【書類名】 要約書

【要約】

【課題】 簡単な回路構成で高速に欠陥画素の補正を行うことのできる画像処理装置とその方法を提供することを課題とする。

【解決手段】 画像データを格納する第1の領域と欠陥画素の位置情報を格納する第2の領域とを有するメモリ(4)と、イメージセンサから1ライン分毎に順次転送される画像データのデータ数をカウントするカウンタ(1)と、イメージセンサから順次転送される各画素の画像データを現在転送されてきた画素の画像データ以外の画像データに基づいて補正処理して出力する補正回路(2)と、カウンタのカウント数が欠陥画素の位置情報に一致した場合に補正された画像データをメモリに書き込み、該カウント数が欠陥画素の位置情報に一致しない場合にはイメージセンサからの画像データをメモリに格納する制御手段(5)とを有する画像処理装置。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 〔391051588〕

1. 変更年月日	1991年 7月31日
[変更理由]	新規登録
住 所	宮城県黒川郡大和町松坂平1丁目6番地
氏 名	富士フイルムマイクロデバイス株式会社

出 願 人 履 歴 情 報

識別番号 [000005201]

1. 変更年月日	1990年 8月14日
[変更理由]	新規登録
住 所	神奈川県南足柄市中沼210番地
氏 名	富士写真フイルム株式会社